



KARTA MODUŁU / KARTA PRZEDMIOTU

Kod modułu	EiT_S_I_ULP2
Nazwa modułu	Układy logiki programowalnej 2
Nazwa modułu w języku angielskim	Programmable Logic Devices 2
Obowiązuje od roku akademickiego	2012/2013

A. USYTUOWANIE MODUŁU W SYSTEMIE STUDIÓW

Kierunek studiów	Elektronika i Telekomunikacja
Poziom kształcenia	I stopień (I stopień / II stopień)
Profil studiów	ogólnoakademicki (ogólno akademicki / praktyczny)
Forma i tryb prowadzenia studiów	stacjonarne (stacjonarne / niestacjonarne)
Specjalność	
Jednostka prowadząca moduł	Katedra Elektroniki i Systemów Inteligentnych
Koordynator modułu	dr inż. Adam Głuszek
Zatwierdził:	

B. OGÓLNA CHARAKTERYSTYKA PRZEDMIOTU

Przynależność do grupy/bloku przedmiotów	kierunkowy (podstawowy / kierunkowy / inny HES)
Status modułu	obowiązkowy (obowiązkowy / nieobowiązkowy)
Język prowadzenia zajęć	polski
Usytuowanie modułu w planie studiów - semestr	semestr IV
Usytuowanie realizacji przedmiotu w roku akademickim	semestr letni (semestr zimowy / letni)
Wymagania wstępne	Układy cyfrowe 1, Układy cyfrowe 2, Układy logiki programowalnej 1 (kody modułów / nazwy modułów)
Egzamin	nie (tak / nie)
Liczba punktów ECTS	3

Forma prowadzenia zajęć	wykład	ćwiczenia	laboratorium	projekt	inne
w semestrze			30		



C. EFEKTY KSZTAŁCENIA I METODY SPRAWDZANIA EFEKTÓW KSZTAŁCENIA

Cel modułu	Celem modułu jest wprowadzenie studentów w tematykę układów programowalnych poprzez prezentację ich budowy wewnętrznej, zasad działania oraz metod wykorzystania do realizacji układów cyfrowych zarówno kombinacyjnych jak i sekwencyjnych przy użyciu wybranych języków opisu sprzętu.
-------------------	--

Symbol efektu	Efekty kształcenia	Forma prowadzenia zajęć (w/ć/l/p/inne)	odniesienie do efektów kierunkowych	odniesienie do efektów obszarowych
W_01	zna architekturę wewnętrzną najważniejszych typów układów programowalnych	I	K_W12 K_W16 K_W17 K_W20	T1_W03 T1_W04
W_02	rozumie zasady projektowania systemów cyfrowych z wykorzystaniem układów programowalnych	I	K_W12 K_W16 K_W17 K_W20	T1_W04 T1_W05
W_03	zna zasady opisu logiki układów cyfrowych za pomocą wybranych języków opisu sprzętu (HDL)	I	K_W12 K_W16 K_W17 K_W20	T1_W04 T1_W06
U_01	potrafi stosować wybrane języki opisu sprzętu do projektowania i symulacji prostych układów kombinacyjnych i sekwencyjnych	I	K_U10 K_U14 K_U16 K_U18 K_U22 K_U27	T1_U08 T1_U09 T1_U13 T1_U15 T1_U16
U_02	posiada podstawowe umiejętności w zakresie wykorzystania oprogramowania do projektowania i symulacji systemów cyfrowych realizowanych w technice układów programowalnych	I	K_U10 K_U14 K_U16 K_U18 K_U22 K_U27	T1_U08 T1_U09 T1_U13 T1_U15 T1_U16
K_01	potrafi rozwijać swoją wiedzę i umiejętności poprzez samodzielne wyszukiwanie i wykorzystywanie materiałów źródłowych	I	K_K01	T1_K01
K_02	potrafi współdziałać w zespole w realizacji konkretnych zadań zgodnie z założonym harmonogramem	I	K_K03 K_K05	T1_K03 T1_K04 T1_K06

Treści kształcenia:

1. Treści kształcenia w zakresie wykładu

Nr wykładu	Treści kształcenia	Odniesienie do efektów kształcenia dla modułu

2. Treści kształcenia w zakresie ćwiczeń

Nr zajęć ćwicz.	Treści kształcenia	Odniesienie do efektów kształcenia dla modułu



--	--	--

3. Treści kształcenia w zakresie zadań laboratoryjnych

Nr zajęć lab.	Treści kształcenia	Odniesienie do efektów kształcenia dla modułu
1	Zapoznanie z systemem projektowym układów programowalnych wykorzystującym język CUPL.	W_01 W_02 U_02
2	Realizacja przykładowych projektów i symulacji układów kombinacyjnych w języku CUPL.	W_03 U_01 U_02 K_01 K_02
3	Realizacja przykładowych projektów i symulacji układów kombinacyjnych w języku CUPL c.d.	W_03 U_01 U_02 K_01 K_02
4	Realizacja przykładowych projektów i symulacji układów sekwencyjnych w języku CUPL.	W_03 U_01 U_02 K_01 K_02
5	Realizacja przykładowych projektów i symulacji układów sekwencyjnych w języku CUPL c.d.	W_03 U_01 U_02 K_01 K_02
6	Zapoznanie z systemem projektowym układów programowalnych wykorzystującym język VHDL.	W_01 W_02 U_02
7	Realizacja przykładowych projektów i symulacji układów kombinacyjnych (np. multipleksery, dekodery, komparatory, sumatory, konwertery kodów) w języku VHDL.	W_03 U_01 U_02 K_01 K_02
8	Realizacja przykładowych projektów i symulacji układów kombinacyjnych w języku VHDL c.d.	W_03 U_01 U_02 K_01 K_02
9	Realizacja przykładowych projektów i symulacji układów kombinacyjnych w języku VHDL c.d.	W_03 U_01 U_02 K_01 K_02
10	Realizacja przykładowych projektów i symulacji układów sekwencyjnych (np. liczniki, układy kontroli parzystości, dzielniki częstotliwości, komparatory i sumatory szeregowo) w języku VHDL.	W_03 U_01 U_02 K_01 K_02
11	Realizacja przykładowych projektów i symulacji układów sekwencyjnych w języku VHDL c.d.	W_03 U_01 U_02 K_01 K_02
12	Realizacja przykładowych projektów i symulacji układów sekwencyjnych w	W_03



	języku VHDL c.d.	U_01 U_02 K_01 K_02
13	Zapoznanie z systemem projektowym układów programowalnych wykorzystującym język Verilog.	W_01 W_02 U_02
14	Realizacja przykładowych projektów i symulacji układów kombinacyjnych w języku Verilog.	W_03 U_01 U_02 K_01 K_02
15	Realizacja przykładowych projektów i symulacji układów sekwencyjnych w języku Verilog.	W_03 U_01 U_02 K_01 K_02

4. Charakterystyka zadań projektowych
5. Charakterystyka zadań w ramach innych typów zajęć dydaktycznych

Metody sprawdzania efektów kształcenia

Symbol efektu	Metody sprawdzania efektów kształcenia (sposób sprawdzenia, w tym dla umiejętności – odwołanie do konkretnych zadań projektowych, laboratoryjnych, itp.)
W_01	zaliczenie ćwiczeń laboratoryjnych, wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych, zaliczenie kolokwium
W_02	zaliczenie ćwiczeń laboratoryjnych, wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych, zaliczenie kolokwium
W_03	zaliczenie ćwiczeń laboratoryjnych, wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych, zaliczenie kolokwium
U_01	zaliczenie ćwiczeń laboratoryjnych, wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych, zaliczenie kolokwium
U_02	zaliczenie ćwiczeń laboratoryjnych, wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych, zaliczenie kolokwium
K_01	wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych
K_02	zaliczenie ćwiczeń laboratoryjnych, wykonanie sprawozdań z przeprowadzonych ćwiczeń laboratoryjnych



D. NAKŁAD PRACY STUDENTA

Bilans punktów ECTS		
	Rodzaj aktywności	obciążenie studenta
1	Udział w wykładach	
2	Udział w ćwiczeniach	
3	Udział w laboratoriach	30
4	Udział w konsultacjach (2-3 razy w semestrze)	5
5	Udział w zajęciach projektowych	
6	Konsultacje projektowe	
7	Udział w egzaminie	
8		
9	Liczba godzin realizowanych przy bezpośrednim udziale nauczyciela akademickiego	35
10	Liczba punktów ECTS, którą student uzyskuje na zajęciach wymagających bezpośredniego udziału nauczyciela akademickiego <i>(1 punkt ECTS=25-30 godzin obciążenia studenta)</i>	1,17
11	Samodzielne studiowanie tematyki wykładów	
12	Samodzielne przygotowanie się do ćwiczeń	
13	Samodzielne przygotowanie się do kolokwium	20
14	Samodzielne przygotowanie się do laboratoriów	15
15	Wykonanie sprawozdań	20
15	Przygotowanie do kolokwium końcowego z laboratorium	
17	Wykonanie projektu lub dokumentacji	
18	Przygotowanie do egzaminu	
19		
20	Liczba godzin samodzielnej pracy studenta	55
21	Liczba punktów ECTS, którą student uzyskuje w ramach samodzielnej pracy <i>(1 punkt ECTS=25-30 godzin obciążenia studenta)</i>	1,83
22	Sumaryczne obciążenie pracą studenta	90
23	Punkty ECTS za moduł <i>1 punkt ECTS=25-30 godzin obciążenia studenta</i>	3
24	Nakład pracy związany z zajęciami o charakterze praktycznym <i>Suma godzin związanych z zajęciami praktycznymi</i>	50
25	Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym <i>1 punkt ECTS=25-30 godzin obciążenia studenta</i>	1,67

E. LITERATURA

Wykaz literatury	1. Hajduk Z.: „Wprowadzenie do języka Verilog”, BTC, Warszawa, 2009. 2. Łuba T., Zbierchowski B.: „Komputerowe projektowanie układów cyfrowych”, WKŁ, Warszawa 2000. 3. Pasierbiński J., Zbysiński P.: „Układy programowalne w praktyce”, WKŁ, Warszawa 2002. 4. Zwoliński M.: „Projektowanie układów cyfrowych z wykorzystaniem języka VHDL”, WKŁ, Warszawa, 2007.
Witryna WWW modułu/przedmiotu	